

Rozwój mikroelektroniki jest napędzany stale rosnącymi oczekiwaniami użytkowników w zakresie wzbogacania funkcjonalności sprzętu elektronicznego przy jednoczesnym żądaniu miniaturyzacji, redukcji kosztów i poboru energii układów scalonych. Beneficjentem ewolucji technologii półprzewodnikowej jest technika cyfrowa. Dzięki redukcji rozmiarów tranzystorów bloki cyfrowe mają coraz mniejsze rozmiary, a dzięki temu stają się szybsze i bardziej efektywne energetycznie. Jednocześnie wraz z postępującą miniaturyzacją i wynikającą z niej koniecznością redukcji napięcia zasilania pogorszeniu ulegają warunki projektowania układów analogowych. Jest to spowodowane redukcją zakresu napięciowego dostępnego do kodowania sygnałów, przenoszących informację, co następuje przy zmniejszaniu napięcia zasilania.

Jedną z nowych technik projektowania układów analogowych, której celem jest wykorzystanie wynikającej z miniaturyzacji poprawy rozdzielczości sygnałów w dziedzinie czasu przy jednoczesnym pogorszeniu warunków kodowania sygnałów napięciowych, stało się odwzorowanie przyrostów napięcia elektrycznego w postaci interwałów czasu (*Time Mode Signal Processing*). Kluczowym blokiem systemów TMSP jest układ przetwornika analogowo-cyfrowego do przetwarzania interwałów czasu (TDC - *Time-to-Digital Converter*), umożliwiający bowiem przetwarzanie sygnałów zakodowanych w czasie przy użyciu techniki cyfrowej. Przetworniki TDC są wysoko precyzyjnymi stoperami, które przetwarzają interwał czasu na liczbę binarną. Najsłynniejszym znanym zastosowaniem przetwornika TDC jest użycie go jako detektora fazy w cyfrowej pętli synchronizacji fazowej (*All-Digital Phase Locked Loop*), wynalezionej dekadę temu i wykorzystywanej w większości produkowanych obecnie telefonów komórkowych w liczbie kilku miliardów sztuk rocznie.

Celem proponowanych badań naukowych jest zaprojektowanie oraz implementacja w submikronowej technologii CMOS układu przetwornika analogowo-cyfrowego do przetwarzania interwałów czasu metodą sukcesywnej aproksymacji (*Successive Approximation TDC*), zoptymalizowanego pod względem jakości przetwarzania, złożoności układowej (i wynikającej z niej zajmowanej powierzchni), zużycia energii i czasu konwersji. Zaletą przetwornika SA-TDC jest niewielka liczba bloków, koniecznych do jego budowy (np. zaledwie jeden komparator czasu zamiast 256 komparatorów, koniecznych do użycia w znanym przetworniku TDC o rozdzielczości 8-bitowej, opartym na metodzie Verniera). Jako jednostkowe opóźnienie wykorzystuje się czas propagacji sygnału przez bramkę logiczną (np. inwerter).

Przetwarzanie SA-TDC polega na systematycznym opóźnianiu zboczy sygnału, określających początek i koniec wejściowego interwału czasu, za pomocą coraz mniejszych opóźnień pozostających względem siebie w stosunku binarnym. W pierwszym kroku przetwarzania opóźniane jest zbocze oznaczające początek wejściowego interwału czasu. W kolejnych krokach – zbocze, które jest w danym kroku wcześniejsze. Algorytm przetwarzania SA-TDC można porównać do metody ważenia nieznannej masy przy użyciu odważników o binarnym stosunku masy poprzez systematyczne dodawanie nowego odważnika do tej szalki wagi, która zawiera aktualnie mniejszą masę, przy czym każde dodanie nowego odważnika na szalkę zawierającą nieznaną masę powoduje ustawienie bitu w słowie wyjściowym w stan '0', a na szalkę przeciwną - ustawienie bitu w stan '1'.

W proponowanej architekturze przetwornika SA-TDC zawierającej dwie pętle sprzężenia zwrotnego oba zbocza sygnału są opóźniane w osobnych pętlach opóźniających przy użyciu malejących składników opóźnień binarnych w taki sposób, aby na końcu cyklu konwersji zbliżyły się do siebie na odległość mniejszą od opóźnienia jednostkowego (*LSB*). Przeprowadzenie porównania po wprowadzeniu każdego składnika opóźnienia, mające na celu ustalenie, które zbocze jest wcześniejsze może trwać stosunkowo „długo” (np. setki pikosekund), bo komparator czasu miewa problemy z rozróżnieniem chronologii zboczy, jeśli są one niemal jednoczesne. Aby wynik konwersji był poprawny, konieczne jest wprowadzenie po każdym kroku dla obu zboczy dodatkowego opóźnienia (nie zakłócającego wyniku konwersji, bo dotyczącego obu zboczy „sprawiedliwie”), dającego komparatorowi czas na „myślenie”, które zbocze było pierwsze.

Projektowany przetwornik SA-TDC będzie odporny na występowanie stanów metastabilnych, występujących w komparatorach czasu, używanych do budowy przetworników TDC. Stany metastabilne objawiają się niekontrolowanym wydłużeniem czasu ustalenia się decyzji na wyjściach komparatorów w sytuacji, kiedy na ich wejściach zbocza sygnału pojawiają się niemal równoczesne. W SA-TDC stany metastabilne komparatorów czasu są źródłem tzw. błędów grubych, które polegają na uzyskaniu zupełnie błędnego wyniku konwersji i są wskazywane w literaturze naukowej jako jeden z fundamentalnych problemów przetwarzania interwałów czasu metodą kolejnych przybliżeń.